

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Nobuhiko AKASAKA

Application No.:

Group Art Unit:

Filed: March 2, 2004

Examiner:

For: MICROCONTROLLER HAVING A SYSTEM RESOURCE PRESCALER THEREON

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-350380

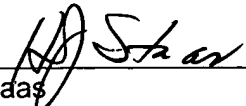
Filed: October 9, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 2, 2004

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 9 日
Date of Application:

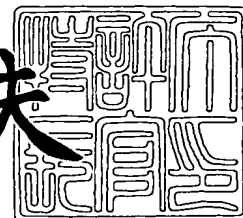
出 願 番 号 特 願 2 0 0 3 - 3 5 0 3 8 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 5 0 3 8 0]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 0 8 9 7

【書類名】 特許願
【整理番号】 0340566
【提出日】 平成15年10月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 G06F 1/04
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 赤坂 伸彦
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100094525
 【弁理士】
 【氏名又は名称】 土井 健二
【選任した代理人】
 【識別番号】 100094514
 【弁理士】
 【氏名又は名称】 林 恒徳
【手数料の表示】
 【予納台帳番号】 041380
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9704944

【書類名】 特許請求の範囲**【請求項 1】**

クロックに同期して動作するマイクロコントローラにおいて、
前記クロックに同期して動作する演算ユニットと、
前記演算ユニットとバスを介して接続され、少なくともバスインターフェースと、前記クロックに同期して動作する内部回路とを有する内部リソースと、
前記クロックから、当該クロックの n サイクルのうち m サイクル（但し $m \leq n$ ）において許可状態になる動作許可信号を生成し、前記内部リソースの内部回路に当該動作許可信号を供給するシステムリソースプリスケアラとを有し、
前記内部回路は、前記動作許可信号が許可状態の時に前記クロックに同期して動作することを特徴とするマイクロコントローラ。

【請求項 2】

請求項 1 において、
前記内部リソースの前記バスインターフェースは、前記クロックに同期して動作することを特徴とするマイクロコントローラ。

【請求項 3】

請求項 1 において、
前記システムリソースプリスケアラは、前記 m 、 n を格納するレジスタを有し、当該レジスタは変更設定可能であることを特徴とするマイクロコントローラ。

【請求項 4】

請求項 5 において、
前記システムリソースプリスケアラは、更に、前記動作許可信号を常時許可状態にする第 1 の動作状態と、前記 n サイクルのうち m サイクルにおいて許可状態にする第 2 の動作状態とを設定可能な動作制御レジスタを有することを特徴とするマイクロコントローラ。

【請求項 5】

請求項 1 において、
前記システムリソースプリスケアラは、当該 m サイクルを前記 n サイクル中に分散して割り当てることを特徴とするマイクロコントローラ。

【請求項 6】

請求項 1 において、
前記システムリソースプリスケアラは、前段プリスケアラと、当該前段プリスケアラが生成する前段動作許可信号を供給されて後段動作許可信号を生成する後段プリスケアラとを有し、前記後段動作許可信号が前記内部リソースの内部回路に供給されることを特徴とするマイクロコントローラ。

【請求項 7】

請求項 6 において、
前記前段及び後段プリスケアラは、前記 m 、 n を格納するレジスタを有し、当該レジスタは変更設定可能であることを特徴とするマイクロコントローラ。

【請求項 8】

請求項 7 において、
前記後段プリスケアラは、更に、前記後段動作許可信号を常時許可状態にする第 1 の動作状態と、前記 n サイクルのうち m サイクルにおいて許可状態にする第 2 の動作状態と、前記前段動作許可信号の状態にかかわらず後段動作許可信号を生成する第 3 の状態とを設定可能な動作制御レジスタを有することを特徴とするマイクロコントローラ。

【請求項 9】

クロックに同期して動作するマイクロコントローラにおいて、
前記クロックに同期して動作する演算ユニットと、
前記演算ユニットとバスを介して接続され、少なくとも前記クロックに同期して動作するバスインターフェースと、前記クロックに同期して動作する内部回路とを有する内部リソースと、

前記クロックから、当該クロックより低速の周波数を有する動作許可信号を生成し、前記内部リソースの内部回路に当該動作許可信号を供給するシステムリソースプリスケアラとを有し、

前記内部回路は、前記動作許可信号が許可状態の時に前記クロックに同期して動作することを特徴とするマイクロコントローラ。

【請求項 1 0】

請求項 1 1 において、

前記動作許可信号は、前記クロックの 1 サイクル単位で動作許可状態に制御されることを特徴とするマイクロコントローラ。

【書類名】明細書**【発明の名称】** システムリソースプリスケアラを搭載したマイクロコントローラ**【技術分野】****【0001】**

本発明は、演算ユニットと所定の機能をもつ内部リソースとを有するマイクロコントローラに関し、特に、演算ユニットに供給されるクロック周波数が高くなってもリソースの動作への影響を抑えることができるマイクロコントローラに関する。

【背景技術】**【0002】**

マイクロコントローラは、演算ユニット（または単にCPU）と種々の機能を実現するリソースとを有し、外部から供給されるクロックに同期して内部動作を実行する。種々の機能を実現するリソースには、例えば、外部との通信を行う通信マクロや、演算されたタイミングまたは指定されたタイミングでパルスまたはクロックを発生するパルス発生回路などが含まれる。CPUが内蔵メモリ内の所定のプログラムを実行して、これらリソースに制御データを与えたりすることでリソースを制御し、リソースはその制御データ等に基づいてそれぞれの動作を実行して、通信制御を行ったりパルスを発生したりする。

【0003】

図1は、従来一般的なマイクロコントローラの構成図である。マイクロコントローラ1は、演算ユニットであるCPUと、プログラム格納領域や一時記録領域を有するメモリ10と、パルス発生回路であるタイマー12や通信マクロ18などの内部リソースとを有し、それらは内部バス2を介して接続される。タイマー12は、例えば内部バス2とのバスインターフェース14とパルス発生のためのカウンタ16とを少なくとも有し、CPUから制御データなどを供給され、カウンタ16によりカウントされた所定のタイミングでパルスS16を内部または外部に出力する。通信マクロ18は、例えば内部バス2に対するバスインターフェース20と、通信制御クロックS22を生成するカウンタ22とを少なくとも有し、外部とのデータの入出力通信を制御する。

【0004】

マイクロコントローラ1には、外部からクロックCLKが供給され、CPUとバスインターフェース14、20は同じクロックCLKに同期して動作し、更に、各リソースのカウンタ16、22もこのクロックCLKに同期してカウント動作を行う。また、バス制御のためにはバスのイニシエータとターゲットとは同じクロックで動作する必要があり、バスインターフェース14、20もクロックに同期して動作する。

【0005】

このようなマイクロコントローラは、例えば後述する特許文献1に記載されている。なお、この特許文献1には、クロックの周波数を電池電源電圧値に応じて変更可能にするレートマルチ・プリスケアラを設けて、電池電源電圧が低下した時に同時に内部クロックを低速化し、内部動作も低速化して電池電源の消耗を少なくすることが開示されている。

【0006】

上記の通り、図1のようにマイクロコントローラは、外部供給のクロックCLKに同期してCPUや内部リソースが動作を行う。その場合に、CPUの処理能力を高めるために、供給クロックCLKの周波数を高くすることが要請される。単純に供給クロックCLKの周波数をN倍にするとCPUの処理能力もN倍にすることができる。しかしながら、内部リソース12、18のカウンタ16、22も同じ供給クロックCLKに同期して動作しているので、供給クロックCLKの周波数を高くすると、内部リソース12、18の制御タイミングも早くなり、各内部リソースの被制御装置を適切に制御することができなくなる。これを回避するためには、カウンタ16、22にロードする値を変更したりカウンタの構成ビット数を増やしたりする必要があるが、供給クロックCLKがより高速になると、その都度内部リソースのカウンタの構成を変更する必要がある。内部リソースの構成を変更することは、マイクロコントローラ的设计変更を意味し、コストアップになる。

【0007】

図2は、従来の別のマイクロコントローラの構成図である。このマイクロコントローラ1は、クロックCLKを分周する分周器30を設けて低速の第2のクロックCLK2を生成し、その低速のクロックCLK2を内部リソース12, 18に供給する。このような構成にすることで、クロックCLKを高速化してCPUの処理能力を高めても、内部リソース12, 18は、高速化されていない元の速度のクロックCLK2に同期して動作することができ、適切なタイミングでの制御機能を維持することができる。

【0008】

クロックCLKを分周して内部の制御クロックに利用することは、例えば、以下の特許文献2に開示されている。この特許文献2には、CPUが生成する制御クロックの速度を検出し、その速度に応じた分周比で分周したクロックをリソースである割込制御回路に供給することが開示されている。このような構成にすることで、クロックが高速化されてCPUの動作が高速化されても、割込制御の速度を一定に維持することができる。

【特許文献1】特開2002-202829号公報（2002年7月19日発行）

【特許文献2】特開平8-249082号公報（1996年9月27日発行）

【発明の開示】

【発明が解決しようとする課題】

【0009】

図2のような構成にすると、CPUに接続されるCPUバス2とリソース12, 18に接続される第2バス4とを分離する必要があり、それに伴って、高速のCPUバス2と低速の第2バス4との間に、バスの動作周波数の違いを吸収するバスブリッジ32を設ける必要がある。このようなバスブリッジを追加することは、マイクロコントローラのコストアップを招く。また、分周器30は、通常、2の累乗倍の周期のクロックCLK2を生成する。このように内部クロックCLK2がクロックCLKの整数倍の周期を有する場合は、両クロックのエッジのタイミングが一致することがあるので、バスブリッジでのタイミング整合の回路は比較的簡単である。しかし、2の累乗倍以外や整数倍以外の周期が求められる場合は、図2の分周器では構成が複雑になり、更に、整数倍以外の周期にする場合は、バスブリッジの構成が複雑になる。

【0010】

そこで、本発明の目的は、CPUのクロック周波数を変更しても内部のリソースを元の速度で動作させることができるマイクロコントローラを提供することにある。

【0011】

更に、本発明の別の目的は、CPUと内部リソースとを同じ周波数で動作するバスに接続し、一方でリソースが見かけ上異なる周波数で動作するマイクロコントローラを提供することにある。

【課題を解決するための手段】

【0012】

上記の目的を達成するために、本発明の側面は、クロックに同期して動作するマイクロコントローラにおいて、

前記クロックに同期して動作する演算ユニットと、

前記演算ユニットとバスを介して接続され、少なくともバスインターフェースと、前記クロックに同期して動作する内部回路とを有する内部リソースと、

前記クロックから、当該クロックのnサイクルのうちmサイクル（但し $m \leq n$ ）において許可状態になる動作許可信号を生成し、前記内部リソースの内部回路に当該動作許可信号を供給するシステムリソースプリスケラとを有し、

前記内部回路は、前記動作許可信号が許可状態の時に前記クロックに同期して動作することを特徴とする。

【0013】

上記の側面において好ましい実施例では、システムリソースプリスケラは、前記m、nを格納するレジスタを有し、当該レジスタは変更設定可能である。

【0014】

また、前記システムリソースプリスケアラは、更に、前記動作許可信号を常時許可状態にする第1の動作状態と、前記nサイクルのうちmサイクルにおいて許可状態にする第2の動作状態とを設定可能な動作制御レジスタを有する。

【0015】

更に、前記システムリソースプリスケアラは、当該mサイクルを前記nサイクル中に分散して割り当てる。

【発明の効果】

【0016】

上記の解決手段によれば、内部リソースはクロックに同期して動作するように構成され、但し、クロックが高速化された時には、プリスケアラから動作許可信号によりその動作速度が制御され、元のクロック速度に対応した動作速度を維持することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態を図面にしたがって説明するが、本発明の技術的範囲はそれらの実施の形態に限定されず、特許請求の範囲に記載されたものとその均等物に及ぶものである。

【0018】

図3は、本実施の形態におけるマイクロコントローラの構成図である。このマイクロコントローラ1は、従来例と同様に、演算ユニットであるCPUと、メモリ10と、内部リソース12、18とが内部バス2を介して接続されている。内部リソースは、例えば通信マクロ18とパルス発生回路（タイマー）12とである。マイクロコントローラ1には外部からクロックCLKが供給され、このクロックCLKは、CPUに供給されてCPUの動作速度及び処理能力を制御する。また、クロックCLKは、リソースであるパルス発生回路（タイマー）12と通信マクロ18にも供給され、それらのバスインターフェース14、20はクロックCLKに同期してCPUやメモリ10とのバス管理を行い、カウンタ16、22はクロックCLKに同期して所定のカウント動作を行う。

【0019】

したがって、外部から供給されるクロックCLKの周波数が高速化されると、それに伴ってCPUの処理速度も高く変更されるが、共通の内部バスに接続されるリソース12、18は、クロックCLKに同期したバス制御によりCPUやメモリとデータの送受信を行うことができる。一方、リソース12、18内の内部回路であるカウンタ16、22は、クロックCLKに同期して動作する。そのため、クロックCLKの周波数が変更されるとそのカウンタ動作速度も変更される。そこで、本実施の形態ではそれを回避するために、システムリソースプリスケアラ40を設け、システムリソースプリスケアラ40がカウンタ16、22に動作許可信号ENCNTを供給し、カウンタ16、22の動作期間を制御する。カウンタは、動作許可信号が許可状態の期間のみクロックCLKに同期してカウント動作を行う。この動作期間の制御により、たとえクロックCLKの周波数が高速化されても、リソース内のカウンタ16、22の動作速度は高速化されていないクロックに対する動作と同じ状態に維持される。システムリソースプリスケアラ40は、内部バス2を介してCPUに接続され、後述するとおり、内蔵するレジスタに動作許可信号を生成するタイミング情報が設定可能に構成されている。このレジスタに設定されたタイミング情報に基づいて、システムリソースプリスケアラ40はクロックCLKに同期して動作許可信号ENCNTを生成する。

【0020】

図4は、システムリソースプリスケアラの動作タイミングチャート図である。システムリソースプリスケアラ40は、クロックCLKの8（n）サイクル（0～7）の期間中、mサイクルにおいて動作許可状態になる動作許可信号ENCNTを生成する。動作許可状態のmサイクルは、nサイクル中にできるだけ分散して間欠的に割り当てられる。このように分散させることで、カウンタの動作速度を可能な限り一定に近づけることができる。すなわち、システムリソースプリスケアラ40は、クロックCLKよりも低速の動作許可信号

を生成して、内部リソースの内部回路の動作を遅くするように制御する。

【0021】

図4において、(1)に示すように $n=8$ 、 $m=1$ と設定されると、動作許可信号ENCNTは、クロックCLKのカウント値が0のサイクルのみ許可状態のHレベルになる。したがって、カウンタ16, 22は、クロックCLKの $1/8$ の速度でカウント動作を行うことになる。

【0022】

図4(2)の場合は、 $n=8$ 、 $m=7$ と設定され、動作許可信号ENCNTは、クロックCLKのカウント値が0~6の7サイクルにおいて許可状態のHレベルになり、カウント値が7のサイクルにおいて不許可状態のLレベルになる。したがって、カウンタは、クロックの $7/8$ の速度でカウント動作を行う。図4(3)の場合は、 $n=8$ 、 $m=3$ に設定され、動作許可信号ENCNTはクロックカウント値が0, 2, 5のサイクルにおいて許可状態のHレベルになり、したがって、カウンタはクロックの $3/8$ の速度でカウント動作を行う。つまり、動作許可信号は、クロックの8サイクル中において3サイクルにおいて動作許可状態になり、その動作許可状態は、分散してできるだけ均等なタイミングになるように配分されている。これにより、カウンタ動作の速度が可能な限り一定になるよう制御される。図4(4)の場合は動作許可信号ENCNTが常時Hレベルになるように設定され、したがって、カウンタはクロックCLKに同期して同じ速度でカウント動作を行う。

【0023】

このように、本実施の形態のマイクロコントローラは、クロックCLKの周波数に応じて、プリスケアラ40内のレジスタに動作許可信号の動作状態が設定され、その設定情報に応じて生成された動作許可信号ENCNTが内部リソースの内部回路であるカウンタに供給される。カウンタは、動作許可信号が動作許可状態のサイクルにおいてのみ、クロックCLKに同期してカウント動作を行う。したがって、カウンタの構成はあくまでもクロックCLKに同期してカウント動作を行うように設計され、動作許可信号が許可状態の時のみカウント動作を有効にされて、カウンタの動作速度はシステムリソースプリスケアラによりクロックCLKとは独立して可変制御される。

【0024】

図5は、リソース内部のカウンタの構成図と動作タイミングチャート図である。このカウンタ16, 22は、4ビットカウンタであり、4つのフリップフロップ42と、インクリメント回路44とからなる。4つのフリップフロップ42は、データ入力端子Dとデータ出力端子Qとを有し、クロックCLKの立ち上がりエッジに同期してデータ入力Dをラッチし、リセット信号RSTの立ち上がりエッジに応答してラッチ状態をクリアする。また、フリップフロップ42には、イネーブル端子ENが設けられ、動作許可信号ENCNTが動作許可状態(Hレベル)の時のみクロックに同期したラッチ動作を行う。インクリメント回路44は、供給される4ビットのデータを+1して出力する。この出力はフィードバックされて、4つのフリップフロップ42に入力される。したがって、動作許可信号ENCNTが動作許可状態の間、クロックCLKに同期してフリップフロップ42がインクリメントされたデータをラッチする。このカウント値Coutは例えばパルス出力部46に供給され、パルス出力部46はカウント値Coutが所定の値の時にパルスまたはクロックS16, S22を出力する。

【0025】

図5(B)には、2つの状態でのカウンタ出力が示されている。状態(1)では、プリスケアラに $n=8$ 、 $m=3$ が設定され、動作許可信号ENCNTはクロックCLKのカウント値が0, 2, 5のサイクルでHレベルになる。この動作許可状態の時に、カウンタ内のフリップフロップ42は、クロックCLKに同期して入力データをラッチする。このラッチにより、インクリメント回路44がカウント値を+1する。したがって、カウンタ出力Coutは、クロックCLKの8サイクルで3回しかカウントアップされず、カウンタは、見かけ上クロックCLKの $3/8$ の周期でカウント動作する。状態(2)の場合は、動作許可信号ENCNTが常時動作許可状態に設定されている。そのため、カウンタはクロックCLK

に同期してカウントアップ動作を行う。よって、カウンタ出力Countは、クロックCLKの8サイクルで8回カウントアップされている。

【0026】

図6は、本実施の形態におけるシステムリソースプリスケアラの構成図である。システムリソースプリスケアラ40はカウンタ50を有し、このカウンタ50は、リロード式のダウンカウンタであり、分母設定レジスタ60に設定される n 値をリロード値としてロードし、そのリロード値をクロックCLKに同期してダウンカウントする。そのために、カウンタ50は、例えば4個のフリップフロップ52と、デクリメント回路54と、フリップフロップの出力Qが0の時にマルチプレクサ58を分母設定レジスタ60側に切り換えるマルチプレクサ制御回路56とを有する。したがって、カウント値が0になった時に、フリップフロップ52に分母設定レジスタ60の n 値がロードされ、その後クロックCLKに同期してダウンカウントされ、カウント値が0になるたびに再度 n 値がリロードされる。したがって、カウンタ50は、分母設定レジスタの n 値のサイクルをカウントする。

【0027】

そして、条件判定回路66は、分母設定レジスタ60の n 値と分子設定レジスタ62に設定される m 値とに基づいて、カウント値が所定の値の時に1サイクルだけHレベルを出力する。ANDゲート68は、前段から供給される前段動作許可信号ENCNTIがHレベルの時に、条件判定部66の出力を通過させ、フリップフロップ70のデータ端子Dに供給し、一方、前段動作許可信号ENCNTIがLレベルの間はデータ端子DはLレベルに維持される。したがって、フリップフロップ70は、クロックCLKに同期してデータ入力Dをラッチし、NORゲート72を介して動作許可信号ENCNTを出力する。図6のシステムプリスケアラにおいて、単独のプリスケアラとして動作させる場合や初段のプリスケアラとして動作させる場合には、前段動作許可信号ENCNTIは常時Hレベルに固定される。

【0028】

図7は、プリスケアラのレジスタと条件判定部の判定テーブルを示す図である。図7(A)に示される分母設定レジスタ60と分子設定レジスタ62とは、8ビットのレジスタで構成され、ビット0～3に分母(Denominator)が、ビット4～7に分子(Nominator)がそれぞれ設定される。実際には、分母 n に対して $(n-1)$ が、分子 m に対して $(m-1)$ がそれぞれレジスタに格納される。また、制御レジスタ64には、0ビットのRunビットに制御値が設定され、Runビットが0の時にプリスケアラの動作は停止され分子・分母設定レジスタへの書き換えが可能になる。また、Runビットが1の時にプリスケアラの動作が活性化され、分子・分母設定レジスタへの書き換えは禁止される。

【0029】

図6に戻り、NORゲート72は、動作制御レジスタ64のRunビットが1の時は、フリップフロップ70の出力Qを通過させて動作制御信号ENCNTとして出力し、Runビットが0の時は、強制的に動作制御信号ENCNTをHレベルにする。つまり、動作制御レジスタ64に動作停止を示す0が設定されると、出力される動作制御信号ENCNTは常にHレベルになり、内部リソースのカウンタはクロックCLKに同期して常時動作する。また、動作制御レジスタ64に動作状態の1が設定されると、条件判定部66により出力されるパルスが動作制御信号ENCNTとして出力される。

【0030】

カウンタ50の動作を制御するために、イネーブル制御部74が設けられ、動作制御レジスタ64のRunビットが0の動作停止状態の時は、フリップフロップ52のイネーブル端子ENがLレベルになりカウンタ50の動作は停止する。一方、動作制御レジスタ64のRunビットが1の動作状態の時は、前段からの動作制御信号ENCNTIがHレベルの時のみ、フリップフロップ52のイネーブル端子ENがHレベルになり、カウンタ50はカウント動作を行う。つまり、前段からの動作制御信号ENCNTIに応じて、カウンタ動作が制御される。

【0031】

図7(B)は、条件判定回路の判定テーブルであり、横方向が分母 $n-1$ のレジスタ値

、縦方向が分子 $m-1$ のレジスタ値に対応し、それぞれのセル内に、動作許可信号をHレベルにするカウンタ値が格納されている。例えば、 $n=8$ 、 $m=3$ の場合は、7列目2行目のセル内にあるカウンタ値0, 2, 5の時に、動作許可信号がHレベルになるように、条件判定部66がパルスを出力する。このように、判定テーブルを利用することにより、動作許可状態の分散状態を最適に設定することができる。また、この判定テーブルの例では、分母 n が1に設定された場合は、動作許可信号として常時動作許可状態のHレベルが出力される。

【0032】

図8は、本実施の形態のマイクロコントローラとの変形例を示す図である。この例では、システムリソースプリスケータ40A、40Bが2段構成になっており、前段のプリスケータ40Aが内蔵レジスタに設定された n 、 m 値に応じて動作許可信号ENCNT1を生成し、後段のプリスケータ40Bに動作許可信号として供給される。そして、後段のプリスケータ40Bは、前段の動作許可信号ENCNT1が許可状態の時のみ動作し、内蔵レジスタに設定された n 、 m 値に応じて動作許可信号ENCNT2を生成し、リソースのカウンタ16に供給する。プリスケータを複数段構成にすることで、リソースの内部回路であるカウンタ16の動作速度をより高精度に制御することができる。

【0033】

図9は、2段構成のプリスケータの動作タイミングチャート図である。この例では、初段のプリスケータに $n=8$ 、 $m=3$ が設定され、後段のプリスケータに $n=2$ 、 $m=1$ が設定されている。したがって、初段の動作許可信号ENCNT1は8サイクル中3サイクルにおいてHレベルになる。この動作許可信号ENCNT1に応じて動作する後段のプリスケータによる動作許可信号ENCNT2は、16サイクル中3サイクルにおいてHレベルになる。つまり、後段の動作許可信号ENCNT2により制御されるカウンタ16は、クロックCLKの $3/16$ の速度に制御されることになる。このように、多数段のプリスケータにすることで、より高精度の速度制御が可能になる。更に、多段のプリスケータにすることで、リソース毎に異なる速度に制御することが容易になる。

【0034】

図10は、2段構成のプリスケータ群の構成例を示す図である。この例では、制御される4つのリソースRS1～RS4に異なる動作許可信号ENCNT2-1～ENCNT2-4が供給される。そのために、初段のプリスケータAがその内蔵レジスタに設定された n 、 m 値に応じて動作許可信号ENCNT1を生成し、後段の4つのプリスケータBがそれぞれの内蔵レジスタに別々に設定された n 、 m 値に応じて動作許可信号ENCNT2-1～ENCNT2-4を生成する。初段のプリスケータAの入力動作許可信号ENCNTIは、Hレベルに固定され、常に動作状態に制御される。

【0035】

このような構成にした場合、後段のプリスケータB-1～B-4の動作制御レジスタには、動作状態と、動作停止状態と、前段からの動作許可信号を使用しない状態の3つの状態を設定可能にすることが望ましい。例えば、プリスケータB-1、B-2は、前段の動作許可信号ENCNT1がHレベルの時のみ動作するように設定され、その結果、それらのプリスケータB-1、B-2は、初段のプリスケータAの動作速度制御の影響を受ける。つまり、図9に示したような動作になる。一方、プリスケータB-3は、前段の動作許可信号を使用しない状態に設定され、その結果、このプリスケータB-3は、内蔵レジスタの設定値 n 、 m にのみ依存したタイミングで動作許可信号ENCNT2-3を生成する。更に、プリスケータB-4は、動作停止状態に設定され、その結果、リソースRS4への動作許可信号ENCNT2-4は常時動作許可状態になり、リソースRS4のみがクロックCLKに同期した最高速度での動作になる。

【0036】

図10のように、プリスケータを多段構成にし、且つ、後段のプリスケータの動作制御レジスタを、動作状態と、動作停止状態と、前段からの動作許可信号を使用しない状態の3つの状態に変更設定可能にすることで、複数のリソースに対して、種々の動作速度の制

御を可能にすることができる。つまり、マイクロコントローラのプリスケアラのハードウェア構成は固定的であっても、各プリスケアラの内蔵動作制御レジスタへの設定を変えることで、制御対象のリソースの動作速度を柔軟に変更することができる。

【0037】

上記の実施の形態では、内部リソースの内部回路としてカウンタを例にして説明したが、内部回路はそれ以外にも、例えば分周器やそれ以外の回路も含まれる。また、内部リソースの他例としては、表示パネルを制御する制御クロック発生回路なども考えられる。

【0038】

以上の実施の形態をまとめると、以下の付記の通りである。

【0039】

(付記1) クロックに同期して動作するマイクロコントローラにおいて、
前記クロックに同期して動作する演算ユニットと、
前記演算ユニットとバスを介して接続され、少なくともバスインターフェースと、前記クロックに同期して動作する内部回路とを有する内部リソースと、
前記クロックから、当該クロックの n サイクルのうち m サイクル (但し $m \leq n$) において許可状態になる動作許可信号を生成し、前記内部リソースの内部回路に当該動作許可信号を供給するシステムリソースプリスケアラとを有し、
前記内部回路は、前記動作許可信号が許可状態の時に前記クロックに同期して動作することを特徴とするマイクロコントローラ。

【0040】

(付記2) 付記1において、
前記内部リソースの前記バスインターフェースは、前記クロックに同期して動作することを特徴とするマイクロコントローラ。

【0041】

(付記3) 付記1において、
前記内部リソースは、外部との通信を制御する通信マクロを含み、当該通信マクロの内部回路は、通信制御クロックを生成するカウンタを有することを特徴とするマイクロコントローラ。

【0042】

(付記4) 付記1において、
前記内部リソースは、制御パルスを生成するパルス発生マクロを含み、当該パルス発生マクロの内部回路は、前記制御パルスの発生タイミングを制御するカウンタを有することを特徴とするマイクロコントローラ。

【0043】

(付記5) 付記1において、
前記システムリソースプリスケアラは、前記 m 、 n を格納するレジスタを有し、当該レジスタは変更設定可能であることを特徴とするマイクロコントローラ。

【0044】

(付記6) 付記5において、
前記システムリソースプリスケアラは、更に、前記動作許可信号を常時許可状態にする第1の動作状態と、前記 n サイクルのうち m サイクルにおいて許可状態にする第2の動作状態とを設定可能な動作制御レジスタを有することを特徴とするマイクロコントローラ。

【0045】

(付記7) 付記1において、
前記システムリソースプリスケアラは、当該 m サイクルを前記 n サイクル中に分散して割り当てることを特徴とするマイクロコントローラ。

【0046】

(付記8) 付記1において、
前記システムリソースプリスケアラは、前段プリスケアラと、当該前段プリスケアラが生成する前段動作許可信号を供給されて後段動作許可信号を生成する後段プリスケアラと

を有し、前記後段動作許可信号が前記内部リソースの内部回路に供給されることを特徴とするマイクロコントローラ。

【0047】

(付記9) 付記8において、
前記前段及び後段プリスケラは、前記m、nを格納するレジスタを有し、当該レジスタは変更設定可能であることを特徴とするマイクロコントローラ。

【0048】

(付記10) 付記9において、
前記後段プリスケラは、更に、前記後段動作許可信号を常時許可状態にする第1の動作状態と、前記nサイクルのうちmサイクルにおいて許可状態にする第2の動作状態と、前記前段動作許可信号の状態にかかわらず後段動作許可信号を生成する第3の状態とを設定可能な動作制御レジスタを有することを特徴とするマイクロコントローラ。

【0049】

(付記11) クロックに同期して動作するマイクロコントローラにおいて、
前記クロックに同期して動作する演算ユニットと、
前記演算ユニットとバスを介して接続され、少なくとも前記クロックに同期して動作するバスインターフェースと、前記クロックに同期して動作する内部回路とを有する内部リソースと、
前記クロックから、当該クロックより低速の周波数を有する動作許可信号を生成し、前記内部リソースの内部回路に当該動作許可信号を供給するシステムリソースプリスケラとを有し、

前記内部回路は、前記動作許可信号が許可状態の時に前記クロックに同期して動作することを特徴とするマイクロコントローラ。

【0050】

(付記12) 付記11において、
前記動作許可信号は、前記クロックの1サイクル単位で動作許可状態に制御されることを特徴とするマイクロコントローラ。

【0051】

(付記13) 付記12において、
前記動作許可信号は、前記クロックのnサイクル中にmサイクルにおいて動作許可状態になり、当該n値とm値とが変更設定可能であることを特徴とするマイクロコントローラ。

【図面の簡単な説明】

【0052】

- 【図1】 従来一般的なマイクロコントローラの構成図である。
- 【図2】 従来別のマイクロコントローラの構成図である。
- 【図3】 本実施の形態におけるマイクロコントローラの構成図である。
- 【図4】 システムリソースプリスケラの動作タイミングチャート図である。
- 【図5】 リソース内部のカウンタの構成図と動作タイミングチャート図である。
- 【図6】 本実施の形態におけるシステムリソースプリスケラの構成図である。
- 【図7】 プリスケラのレジスタと条件判定部の判定テーブルを示す図である。
- 【図8】 本実施の形態のマイクロコントローラとの変形例を示す図である。
- 【図9】 2段構成のプリスケラの動作タイミングチャート図である。
- 【図10】 2段構成のプリスケラ群の構成例を示す図である。

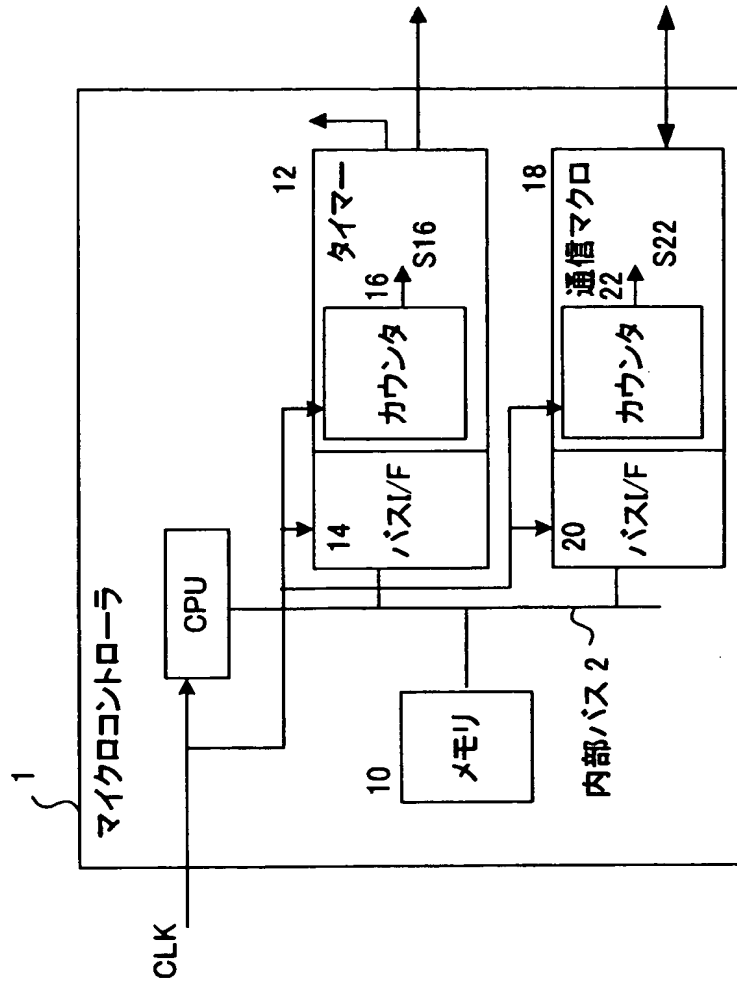
【符号の説明】

【0053】

1：マイクロコントローラ、2：内部バス、12，18：内部リソース
14，20：バスインターフェース、16，22：カウンタ（内部回路）
ENCNT：動作許可信号、CLK：クロック

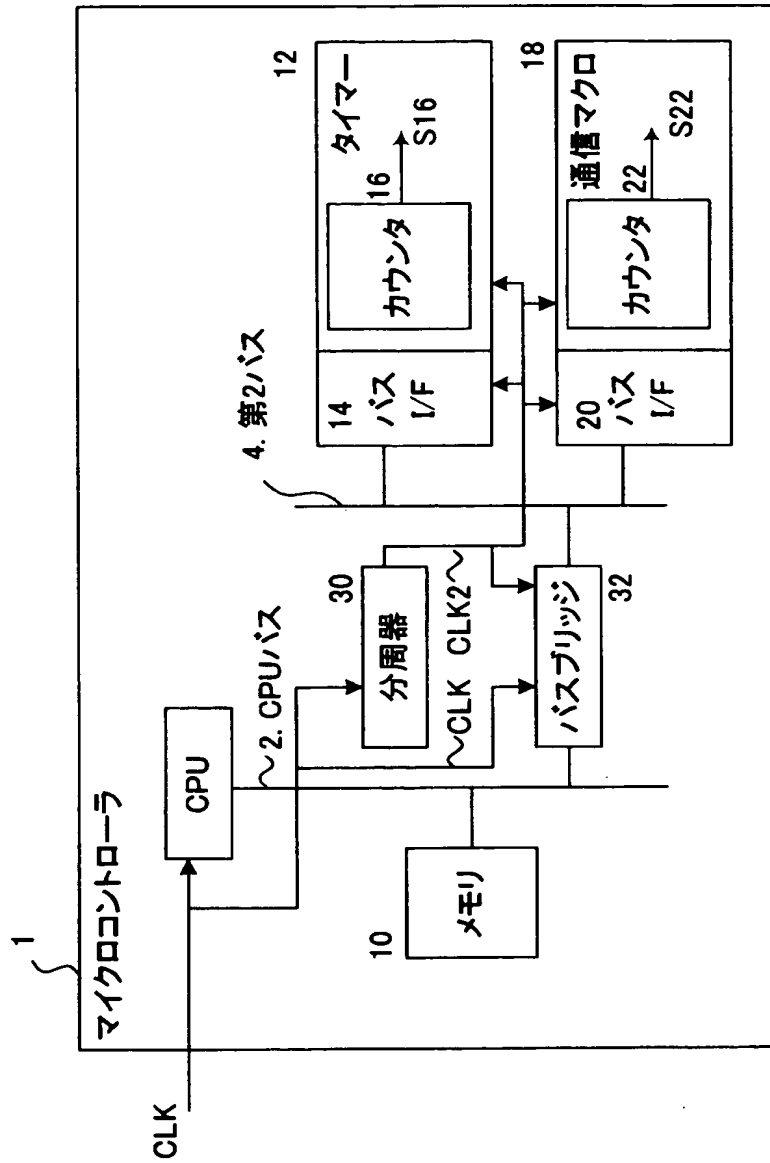
【書類名】 図面
【図 1】

従来例

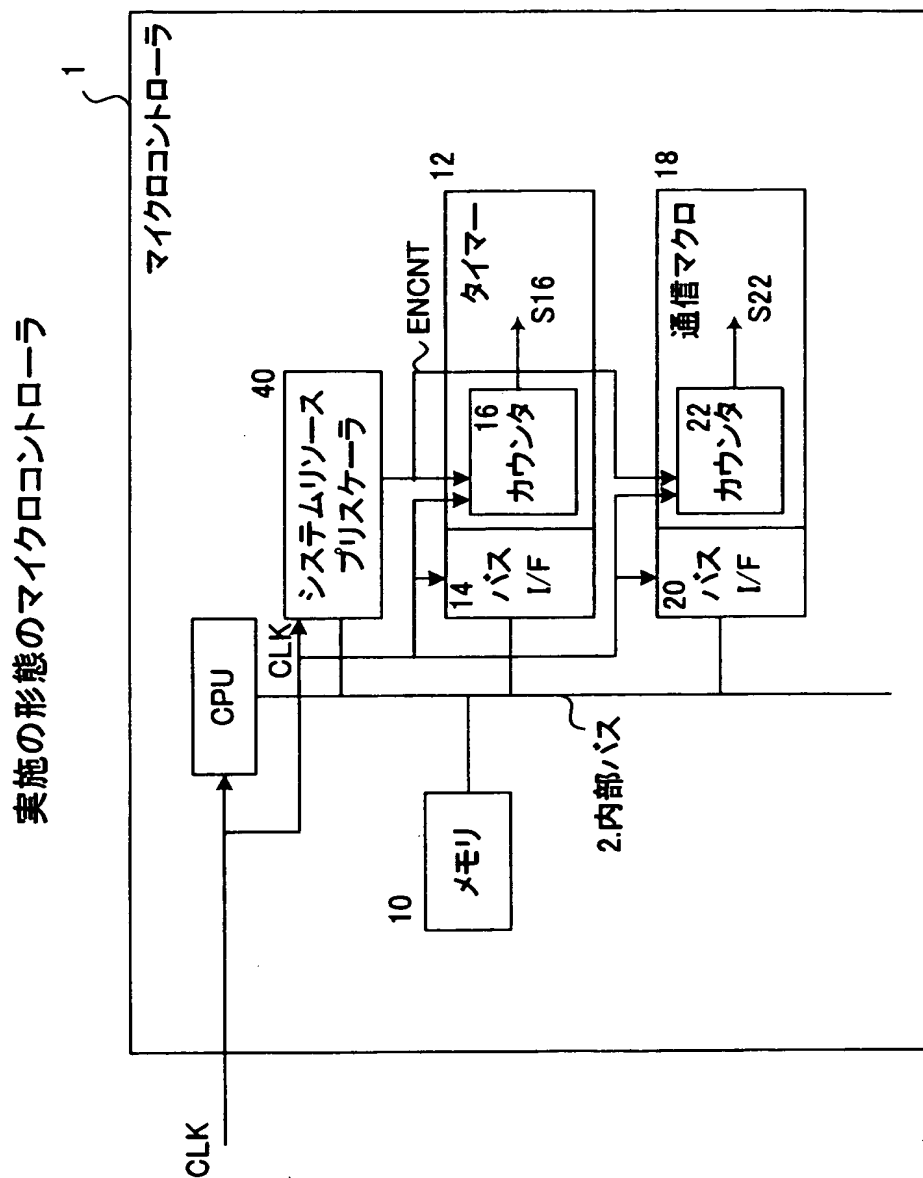


【図 2】

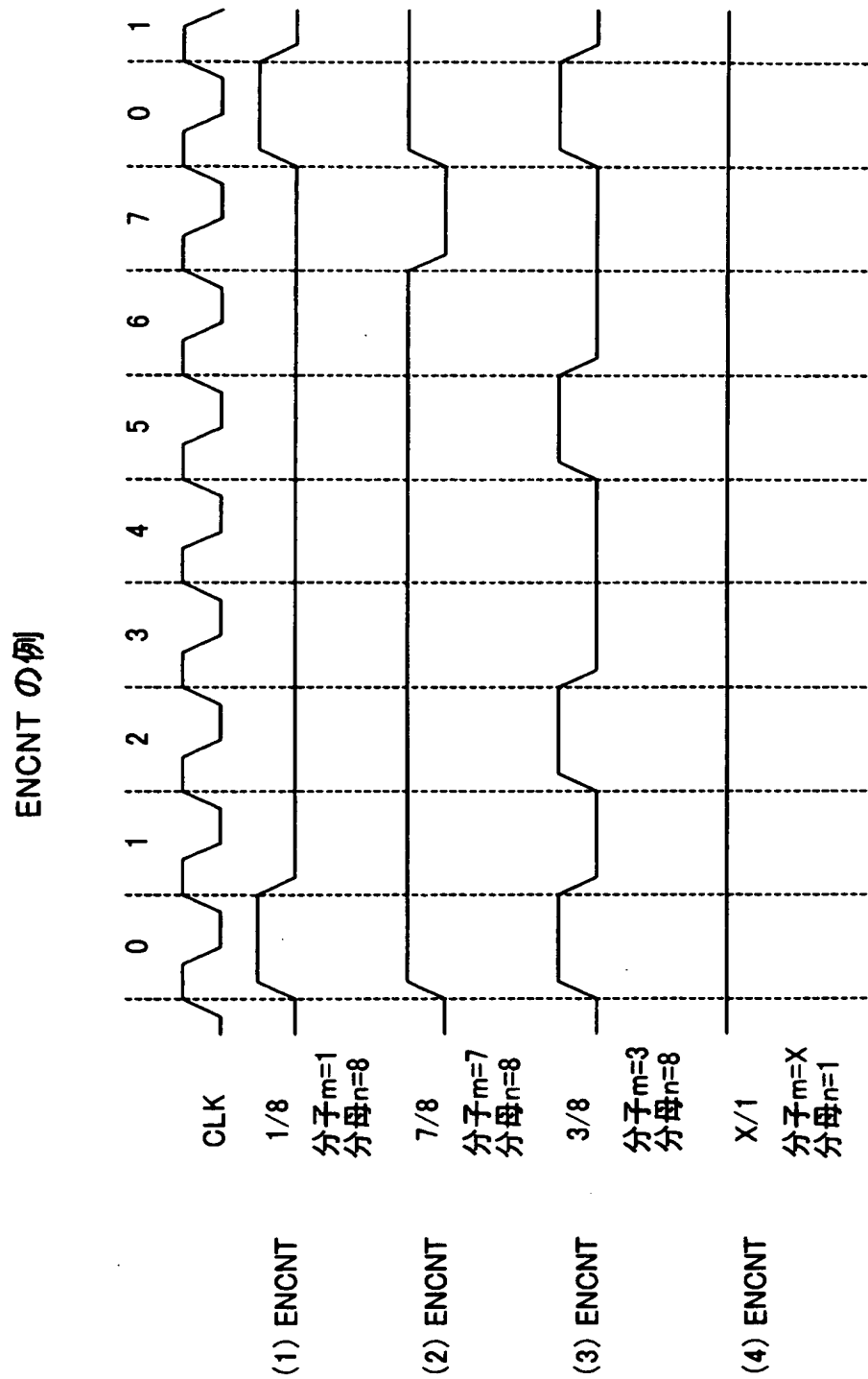
従来例



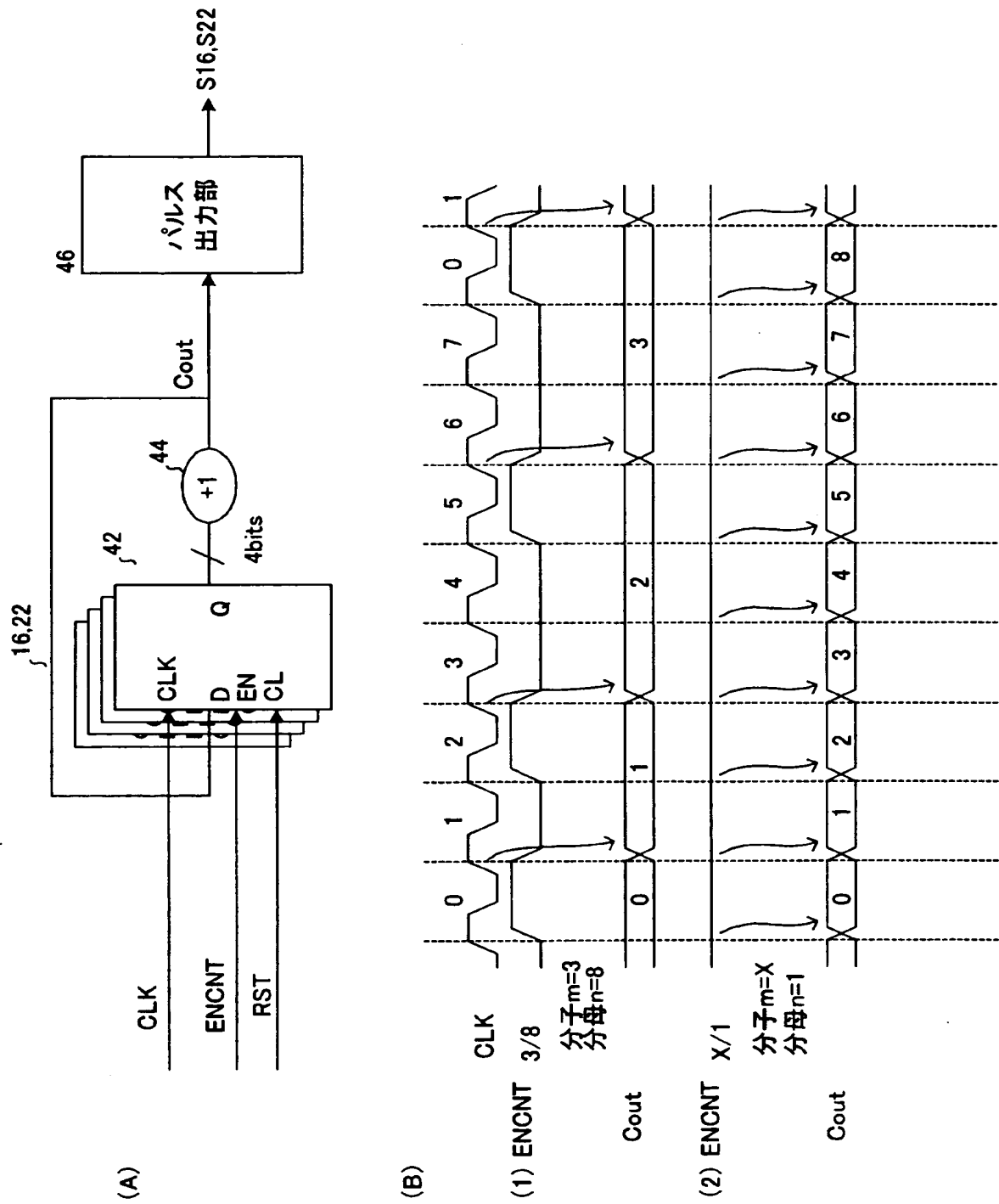
【図 3】



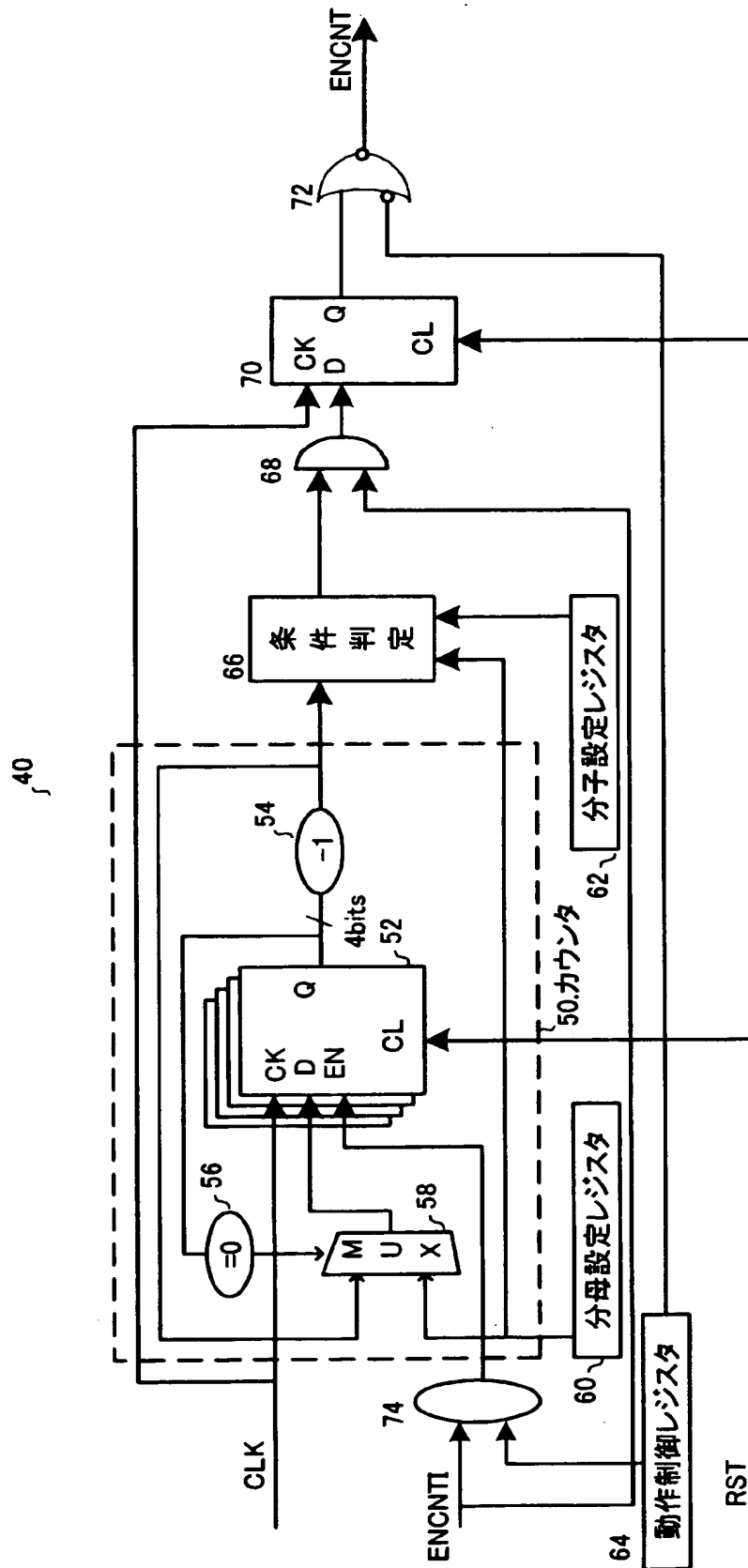
【図 4】



【図 5】



【図 6】



【図 7】

A 分子分母設定レジスタ 60,62

7		6		5		4		3		2		1		0		初期値	
Nume3	R/W	Nume2	R/W	Nume1	R/W	Nume0	R/W	Denom3	R/W	Denom2	R/W	Denom1	R/W	Denom0	R/W	00000000	R/W
7	-	6	-	5	-	4	-	3	-	2	-	1	-	0	-	00000000	R/W

制御レジスタ 64

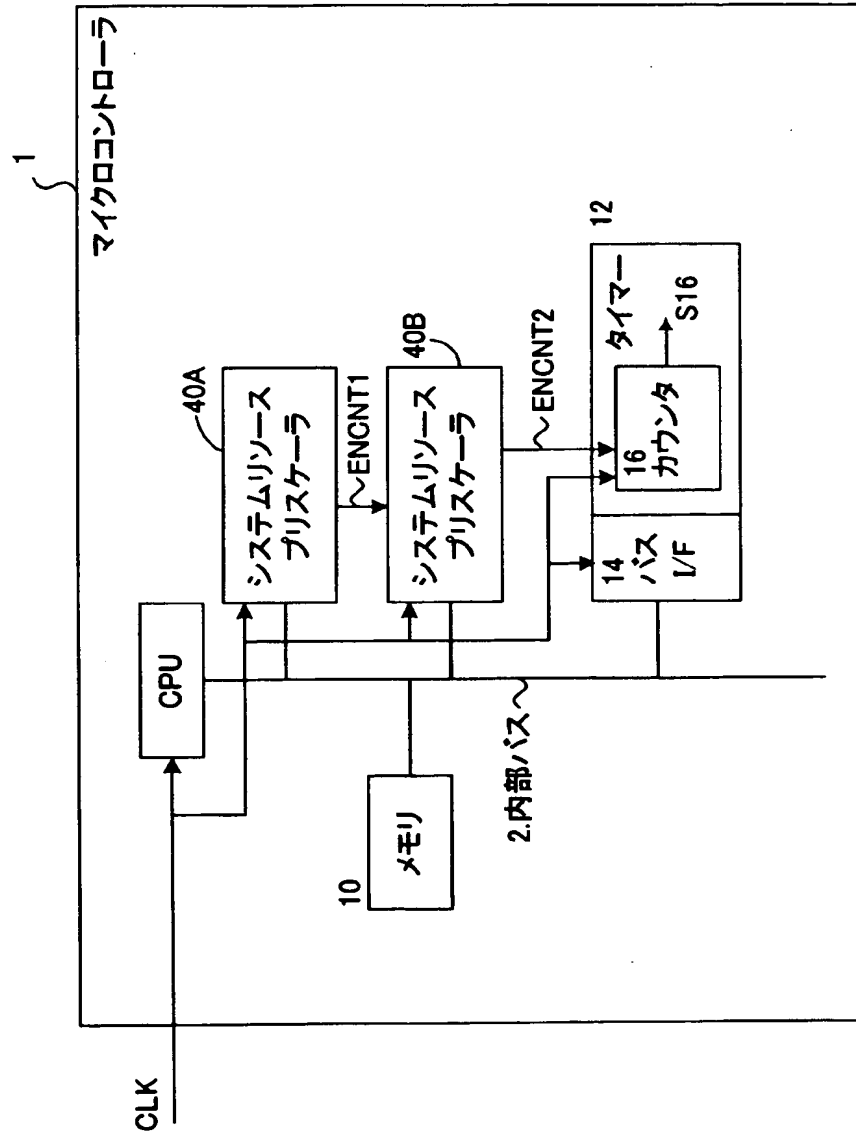
7		6		5		4		3		2		1		0		初期値	
	R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	00000000	R/W
7	-	6	-	5	-	4	-	3	-	2	-	1	-	0	-	00000000	R/W

B 条件判定回路

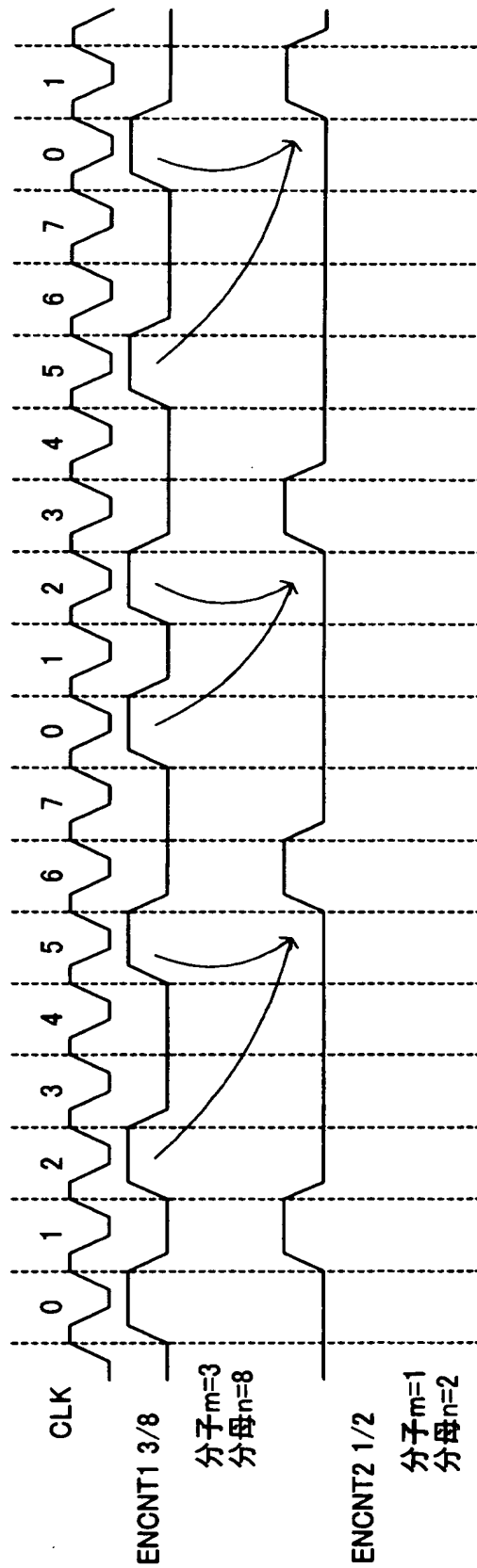
分母-1		分子-1		0		1		2		3		4		5		6		7	
分母-1	R/W	分子-1	R/W																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	-	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1
2	-	-	-	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2	0-2
3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

【図 8】

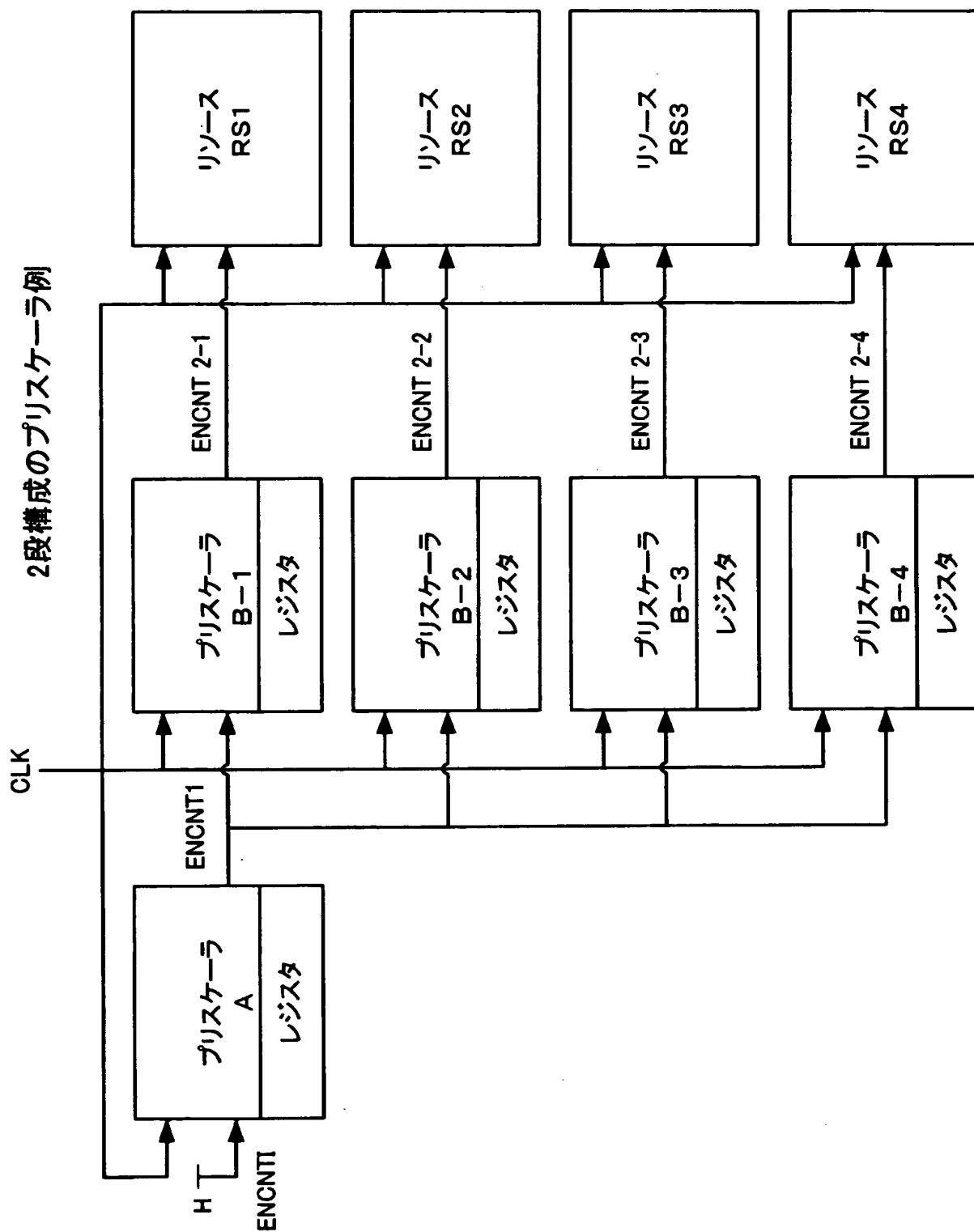
変形例



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 CPUのクロック周波数を変更しても内部のリソースを元の速度で動作させることができるマイクロコントローラを提供する。

【解決手段】 クロック（CLK）に同期して動作するマイクロコントローラであって、クロックに同期して動作する演算ユニット（CPU）と、演算ユニットとバス（2）を介して接続され、少なくともバスインターフェース（14）とクロックに同期して動作する内部回路（16）とを有する内部リソース（12）と、クロックのnサイクルのうちmサイクル（但し $m \leq n$ ）において許可状態になる動作許可信号（ENCNT）を生成し、内部リソースの内部回路に動作許可信号を供給するシステムリソースプリスケラ（40）とを有する。そして、内部回路は、動作許可信号が許可状態の時にクロックに同期して動作する。この構成にすることで、内部リソースの構成を変更せずに、システムリソースプリスケラが生成する動作許可信号のタイミングを制御するだけで、内部リソースの内部回路の動作を制御することができる。

【選択図】 図3

特願 2 0 0 3 - 3 5 0 3 8 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社